

AMPLIFIER CIRCUIT

Patent Number: JP10313587
Publication date: 1998-11-24
Inventor(s): TAMAGAWA AKIO
Applicant(s): NEC CORP
Requested Patent: ☐ JP10313587
Application Number: JP19980109679 19980420
Priority Number(s):
IPC Classification: H02P7/00; H03F3/30; H03F3/45
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce crossover distortion and to prevent a through current from being generated when an input voltage is switched, by providing an input stage being constituted by a differential amplifier and a voltage inversion means consisting of p- and n-type MOS transistors that operate according to an output signal.

SOLUTION: An operation amplifier 10 is connected to a first current-mirror circuit 6 and a second current circuit 7. The output points of both circuits 6 and 7 are connected to the gate electrodes of a pMOS transistor QP 3 and nMOS transistor QN 3 constituting an output stage 19. When the potential of an inversion input terminal 4 of the operation amplifier 10 is fixed and the potential of a non-inverted input terminal 3 is increased, the circuit 6 outputs a low level, the QP 3 is turned on, the circuit 7 allows the QN 3 to be turned off at the low level, and the output of an output terminal 5 is set to a high level. Also, when the potential of the terminal 3 is reduced, the output is set to a low level by an opposite operation. Therefore, crossover distortion can be reduced and a through current can be prevented.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-313587

(43)公開日 平成10年(1998)11月24日

(51)Int.Cl.*	識別記号	FI
H02P 7/00	101	H02P 7/00 101E
H03F 3/30		H03F 3/30
3/45		3/45 B

審査請求 有 請求項の数7 OL (全 7 頁)

(21)出願番号 特願平10-109679
 (62)分割の表示 特願平7-96464の分割
 (22)出願日 平成7年(1995)4月21日

(71)出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (72)発明者 玉川 秋雄
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 (74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 増幅回路

(57)【要約】

【課題】電力増幅用の演算増幅回路で、入力電圧を急激に切り換えたときのプッシュプル出力段の貫通電流を防止する。又、クロスオーバー歪みを低減する。

【解決手段】入力段の差動オペアンプ10、第1カレントミラー回路6、第2カレントミラー回路7及びプッシュプル出力段19で構成する。第1カレントミラー回路6は、高位電源電位VDDを基準としたオペアンプ10の出力電圧をグラウンド電位を基準とする電圧に反転増幅し、プッシュプル出力段19のpMOSトランジスタQ10 P3を駆動する。第2カレントミラー回路7は、グラウンド電位を基準としたオペアンプ10の出力電圧を高位電源電位VDDを基準とする電圧に反転増幅し、プッシュプル出力段19のnMOSトランジスタQ3を駆動する。

1

【特許請求の範囲】

【請求項1】第1の電源ラインと出力端子との間に接続された第1のスイッチング素子と、前記出力端子と第2の電源ラインとの間に接続された第2のスイッチング素子と、入力電圧が印加される入力端と、前記入力信号に応答して前記出力端子に出力される出力電圧がハイレベルからローレベルもしくはローレベルからハイレベルに変化するとき前記第1のスイッチング素子をオン状態からオフ状態にすると共に前記第2のスイッチング素子をオフ状態からオン状態とする、または、前記第1の10スイッチング素子をオフ状態からオン状態にすると共に前記第2のスイッチング素子をオン状態からオフ状態とする制御回路とを備えることを特徴とする増幅回路。

【請求項2】前記制御回路は入力前記入力端に接続され出力前記第1のスイッチング素子の制御端子に接続された第1のカレントミラー回路と、入力前記入力端に接続され出力前記第2のスイッチング素子の制御端子に接続された第2のカレントミラー回路とを備えることを特徴とする請求項1記載の増幅回路。

【請求項3】前記第1のカレントミラー回路は、前記第201の電源ラインと第1の節点との間に接続され制御端子前記第1の節点に接続された一導電型の第1のトランジスタと、前記第1の節点と前記入力端との間に接続された第1の抵抗素子と、前記第1の電源ラインと前記第1のスイッチング素子の制御端に接続された第2の節点との間に接続され制御端子前記第1の節点に接続された前記一導電型の第2のトランジスタと、前記第2の節点と前記第2の電源ラインとの間に接続された第2の抵抗素子とを備え、前記第2のカレントミラー回路は、前記第2の電源ラインと第3の節点との間に接続され制御30端子前記第3の節点に接続された第二導電型の第3のトランジスタと、前記第3の節点と前記入力端との間に接続された第3の抵抗素子と、前記第2の電源ラインと前記第2のスイッチング素子の制御端子に接続された前記第4の節点との間に接続され制御端子前記第3の節点に接続された第4のトランジスタと、前記第4の節点と前記第1の電源ラインとの間に接続された第4の抵抗素子とを備えることを特徴とする請求項2記載の増幅回路。

【請求項4】前記第1のカレントミラー回路は、前記第401の電源ラインと第1の節点との間に接続され制御端子前記第1の節点に接続された一導電型の第1のトランジスタと、前記第1の節点と前記入力端との間に接続された第1の抵抗素子と、前記第1の電源ラインと前記第1のスイッチング素子の制御端に接続された第2の節点との間に接続され制御端子前記第1の節点に接続された前記一導電型の第2のトランジスタと、前記第2の節点と第3の節点との間に接続された第2の抵抗素子とを備え、前記第2のカレントミラー回路は、前記第2の電源ラインと第4の節点との間に接続され制御端子前記50

2

第4の節点に接続された第二導電型の第3のトランジスタと、前記第4の節点と前記入力端との間に接続された第3の抵抗素子と、前記第2の電源ラインと前記第2のスイッチング素子の制御端子に接続された前記第3の節点との間に接続され制御端子前記第4の節点に接続された第4のトランジスタとを備えることを特徴とする請求項2記載の増幅回路。

【請求項5】前記第1のスイッチング素子は第1の閾値電圧を有する一導電型の第1のトランジスタ、前記第2のスイッチング素子は第2の閾値電圧を有する第二導電型の第2のトランジスタによって構成され、前記制御回路は前記入力電圧の変化に応答して前記出力電圧がハイレベルからローレベルもしくはローレベルからハイレベルに変化するとき前記第1のトランジスタの制御端子には前記第1の閾値電圧と同じ電圧を供給し、前記第2のトランジスタの制御端子には前記第2の閾値電圧と同じ電圧を供給することを特徴とする請求項1記載の増幅回路。

【請求項6】前記第1、第2、第3及び第4のトランジスタは絶対値で同じ閾値電圧を、前記第1の抵抗素子と第2の抵抗素子とは同じ抵抗値を、前記第3の抵抗素子と前記第4の抵抗素子とは同じ抵抗値を有することを特徴とする請求項3記載の増幅回路。

【請求項7】前記第1、第2、第3及び第4のトランジスタは絶対値で同じ閾値電圧を、前記第1の抵抗素子と第2の抵抗素子とは同じ抵抗値を有することを特徴とする請求項4記載の増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばハードディスク装置のボイスコイルモータなどに用いて好適な、B級電力増幅用の演算増幅回路に関し、特に、その動作時の交流的貫通電流の発生防止とクロスオーバー歪み軽減の技術に関するものである。

【0002】

【従来の技術】この種の従来の電力増幅用演算増幅回路（以後、オペアンプ回路と記す）の例が、アイイーイー・ジャーナル・オブ・ソリッドステート・サーキット（IEEE Journal of Solid-State Circuits）、第SC-18、第6号、1983年12月、第624～629頁および、アイイーイー・ジャーナル・オブ・ソリッドステート・サーキット（IEEE Journal of Solid-State Circuits）、第SC-20、第6号、1985年12月、第1200～1205頁に記載されている。その従来のパワーオペアンプ回路の回路図を図8に示す。図8を参照して、この図に示すパワーオペアンプ回路は、第一オペアンプ10と、第二オペアンプ23と、第三オペアンプ24と、ブッシュアップ出力段19とから構成される。第一オペアンプ10の

3

出力点は、第二、第三のオペアンプ23、24の反転入力点に入力され、第二オペアンプ23の出力点はブッシュブル出力段のpMOSトランジスタQP3を駆動し、第三オペアンプ24の出力点はブッシュブル出力段のnMOSトランジスタQN3を駆動する。ブッシュブル出力段19の信号は第二、第三のオペアンプ23、24の非反転入力点にフィードバックされる。

【0003】第一オペアンプ23の反転入力端子4の電位(IN-)を固定し、非反転入力端子3の電位(IN+)を反転入力端子4の電位よりも高くすると、ハイレベルが出力される。その信号は、第二オペアンプ23と第三オペアンプ24の反転入力点に入力される。第二オペアンプ23はロウレベルを出力し、ブッシュブル出力段のpMOSトランジスタQP3をオンさせる。第三オペアンプ24はロウレベルを出力し、ブッシュブル出力段のnMOSトランジスタQN3をオフさせる。その結果、このパワーオペアンプ回路の出力端子5の出力OUTはハイレベルとなる。

【0004】第一オペアンプ10の非反転入力端子3の電位(IN+)を反転入力端子4の電位(IN-)よりも低くすると、上記とは逆の動作によりこのパワーオペアンプ回路の出力端子5の出力OUTはロウレベルとなる。

【0005】第一オペアンプ10の反転入力端子4と非反転入力端子3の電位とが等しい場合、第一オペアンプ10は電源電圧(=VDD)の半分の電位を出力し、その電位が第二オペアンプ23と第三オペアンプ24の反転入力点に入力される。第二オペアンプ23と第三オペアンプ24の非反転入力点にはこのパワーオペアンプ回路の出力端子5の電位がフィードバックされている。仮に、この電位が電源電圧の半分であったとすると、第二、第三のオペアンプ23、24の反転入力点、非反転入力点には同じ電位が入力される。第二、第三のオペアンプ23、24には入力オフセット電圧VOSが設定されており、反転入力点と非反転入力点に同電位が入力されると、第二オペアンプ23はハイレベルを出力し、第三オペアンプ24はロウレベルを出力する。そのため、ブッシュブル出力段のpMOSトランジスタQP3とnMOSトランジスタQN3はオフし、このパワーオペアンプ回路の出力端子5は電源電圧の半分の電位を出力する。

【0006】上記の通り、このパワーオペアンプ回路ではその出力電圧がハイレベル、中間レベル、ロウレベルのいずれにおいても、pMOSトランジスタQP3またはnMOSトランジスタQN3のどちらかはオフしているため、電源端子1からグランド端子2に向かって貫通電流が流れることはない。すなわちB級のパワーアンプを構成している。

【0007】

【発明が解決しようとする課題】しかしながら、上述した従来のパワーオペアンプ回路には、入力電圧を急激に50

4

切り換えると貫通電流が流れ、また、クロスオーバー歪みが大きいという欠点があった。以下に、図9のタイミングチャートと図8の回路図とを参照して、第1の欠点である貫通電流の発生メカニズムを説明する。入力電圧がロウレベルからハイレベルに変化すると、第一オペアンプ10の遅延時間と第二、第三のオペアンプ23、24の遅延時間だけ経過した後、ブッシュブル出力段のpMOSトランジスタQP3のゲート電圧とnMOSトランジスタQN3のゲート電圧が図9(b)のようにハイレベルからロウレベルに変化する。入力信号がpMOSトランジスタQP3およびnMOSトランジスタQN3のゲートに到達するまでの経路は、いずれの場合もオペアンプ2段を通過するため、ゲート電圧は同時に変化し始める。オペアンプのスルーレイトを10V/μs、電源電圧VDDを10Vとすると、ゲート電圧が変化し終わるまでの時間は1μsとなる。この間、ブッシュブル出力段のpMOSトランジスタとQP3とnMOSトランジスタQN3とは共にオン状態となる。従って、電源からグランドに向けて貫通電流が流れてしまう。

【0008】次に、第二の欠点であるクロスオーバー歪みについて、図8の回路図を参照して説明する。従来のパワーオペアンプ回路ではB級動作させるために、第二オペアンプ23と第三オペアンプ24の入力段に入力オフセット電圧VOSを設定している。これは第一オペアンプ10の出力電圧が電源電圧の半分のときに、第二オペアンプ23の出力をハイレベル、第三オペアンプ24の出力をロウレベルにして、ブッシュブル出力段を構成するpMOSトランジスタQP3およびnMOSトランジスタQN3の両方をオフさせるためである。この入力オフセット電圧は通常、20mV以上に設定する必要がある。なぜならば、入力オフセット電圧は製造上のばらつきにより、20mV程度ばらつくからである。この製造上のばらつきのため、設計上の入力オフセット電圧は大きめに設定しなければならない。このように、入力オフセット電圧を設定することにより、ブッシュブル出力段の貫通電流は防止できる。ところが、この入力オフセット電圧の設定は、クロスオーバー歪みが大きくなるという副作用をもたらす。すなわち、パワーオペアンプ回路の出力電圧がロウレベルからハイレベルに変化する場合、ブッシュブル出力段のトランジスタはnMOSトランジスタQN3からpMOSトランジスタQP3に動作が切り替わるが、この切り替わる瞬間に両者がオフするため、出力波形にクロスオーバー歪みが表れるのである。

【0009】

【課題を解決するための手段】本発明の電力増幅用の演算増幅回路は、差動増幅器により構成される入力段と、その差動増幅器の出力信号に応じて動作するpチャネル型及びnチャネル型のMOS電界効果型トランジスタからなるブッシュブル構成の出力段とを含んで成る演算増幅回路において、前記差動増幅器の出力点から前記pチ

5

チャネル型MOS電界効果型トランジスタに至る信号伝達経路中に、高位電源電位を基準とした前記差動増幅器の出力電圧をグランド電位を基準とする電圧に反転し、その反転後の信号で前記プッシュプル出力段のpチャネル型MOS電界効果型トランジスタを駆動する第1の電圧反転手段と、前記差動増幅器の出力点から前記nチャネル型MOS電界効果型トランジスタに至る信号伝達経路中に、グランド電位を基準とした前記差動増幅器の出力電圧を高位電源電位を基準とする電圧に反転し、その反転後の信号で前記プッシュプル出力段のnチャネル型MOS電界効果型トランジスタを駆動する第2の電圧反転手段とを設けたことを特徴とする。

【0010】

【発明の実施の形態】次に、本発明の好適な実施例について、図面を参照して説明する。図1は、本発明の第1の実施例の回路図である。図1を参照して、本実施例のパワーオペアンプ回路は、オペアンプ10と第一カレントミラー回路6と第二カレントミラー回路7とプッシュプル出力段19とから構成される。第一カレントミラー回路6は、pMOSトランジスタ対QP1、QP2と、抵抗R1、R2とから構成される。第二カレントミラー回路7は、nMOSトランジスタ対QN1、QN2と、抵抗R3、R4とから構成される。プッシュプル出力段19は、pMOSトランジスタQP3とnMOSトランジスタQN3とから構成される。

【0011】オペアンプ10の出力点は、第一カレントミラー回路6と第二カレントミラー回路7の入力点に接続される。第一カレントミラー回路6の出力点はプッシュプル出力段19を構成するpMOSトランジスタQP3のゲート電極に接続される。第二カレントミラー回路7の出力点はプッシュプル出力段19を構成するnMOSトランジスタQN3のゲート電極に接続される。

【0012】オペアンプ10の一例の回路図を、図2に示す。

【0013】以下に、本実施例の動作について説明する。オペアンプ10の反転入力端子4の電位(IN-)を固定し、非反転入力端子3の電位(IN+)を反転入力端子4の電位よりも高くすると、ハイレベルが出力される。そのハイレベル信号は第一カレントミラー回路6と第二カレントミラー回路7の入力点に入力される。第一カレントミラー回路6はロウレベルを出力し、プッシュプル出力段のpMOSトランジスタQP3をオンさせる。第二カレントミラー回路7はロウレベルを出力し、プッシュプル出力段のnMOSトランジスタQN3をオフさせる。その結果、パワーアンプの出力端子5の出力OUTはハイレベルとなる。

【0014】オペアンプ10の非反転入力端子3の電位(IN+)を反転入力端子4の電位(IN-)よりも低くすると、上記とは逆の動作によりパワーアンプの出力端子5の出力OUTはロウレベルとなる。

6

【0015】次に、オペアンプ10の反転入力端子4と非反転入力端子3の電位が等しい場合の動作について、図3の回路図を参照して説明する。説明を簡単にするため電源電圧はVDD=10V、各トランジスタのしきい値電圧Vtは1Vとする。オペアンプ10の反転入力端子4と非反転入力端子3の電位が等しいと、オペアンプ10は電源電圧VDD(=10V)の半分の電位、すなわち5Vを出力する。このとき、第一カレントミラー回路6を構成するpMOSトランジスタQP1と抵抗R1には、それぞれ1Vと4Vが印加される。pMOSトランジスタQP1、QP2がカレントミラーを構成しているため、トランジスタサイズを等しくすると、抵抗R1と抵抗R2には同じ大きさの電流が流れる。そこで、抵抗R1と抵抗R2の抵抗値の比を4対9に設定しておくこと、抵抗R2には9Vが印加される。又、プッシュプル出力段を構成するpMOSトランジスタQP3のゲートには1Vが印加され、このトランジスタQP3はちょうどオンし始めの状態となる。

【0016】一方、第二カレントミラー回路7を構成するnMOSトランジスタQN1と抵抗R3には、それぞれ1Vと4Vが印加される。nMOSトランジスタQN1、QN2がカレントミラーを構成しているため、トランジスタサイズを等しくすると抵抗R3と抵抗R4には同じ大きさの電流が流れる。そこで、抵抗R3と抵抗R4との抵抗値の比を4対9に設定しておくこと、抵抗R4には9Vが印加される。又、プッシュプル出力段を構成するnMOSトランジスタQN3のゲートには1Vが印加され、このトランジスタQN3はちょうどオンし始めの状態となる。pMOSトランジスタQP3およびnMOSトランジスタQN3の両方がまだ完全にオンしていないため、貫通電流が流れることはない。このとき、このパワーオペアンプ回路は電源電圧の半分の電位を出力する。

【0017】上記の通り、本実施例のパワーオペアンプ回路は、出力電圧がハイレベル、中間レベル、ロウレベルのいずれにおいても、pMOSトランジスタQP3またはnMOSトランジスタQN3のどちらかはオフしているため、電源端子1からグランド端子2に向かって貫通電流が流れることはない。すなわちB級のパワーアンプを構成している。

【0018】次に、図4のタイミングチャートと図1の回路図とを参照して、入力電圧を急激に切り替えたときの動作について説明する。オペアンプ10の出力電圧は図4(a)に示すとおり、スルーレイトで決まる傾きを持ってロウレベルからハイレベルに変化する。このオペアンプ10の出力電圧は第一カレントミラー回路6と第二カレントミラー回路7に入力される。第一カレントミラー回路6の出力はプッシュプル出力段のpMOSトランジスタQP3のゲートを駆動する。第二カレントミラー回路7の出力はプッシュプル出力段のnMOSトランジスタQN3のゲートを駆動する。

7

【0019】オペアンプ10の出力電圧が電源電圧VDDの半分になったとき、図4(b)に示すとおり、プッシュプル出力段のpMOSトランジスタQP3のゲート電圧はVDDとなっており、このpMOSトランジスタQP3はオンし始めの状態となっている。一方、プッシュプル出力段のnMOSトランジスタQN3のゲート電圧はグランドレベルとなっており、このnMOSトランジスタQN3もオンし始めの状態となっている。pMOSトランジスタQP3およびnMOSトランジスタQN3の両方がまだ完全にオンしていないため、図4(c)に示すとおり、貫通電流が流れることはない。

【0020】従来のパワーオペアンプ回路では、入力オフセット電圧を設定してプッシュプル出力段のトランジスタが両方ともオフの状態を作り出して貫通電流を防止していた。これに対し、本実施例のパワーオペアンプ回路では、カレントミラー回路の抵抗値を調整し、プッシュプル出力段のトランジスタが両方ともオンし始めの状態を作り出して、貫通電流を防止している。従って、両方のトランジスタが同時にオフしている期間が無く、クロスオーバー歪みを低減できる。

【0021】次に、本発明の第2の実施例について、説明する。図5は、本発明の第2の実施例のパワーオペアンプ回路の回路図である。図1の実施例では、第一のカレントミラー回路6を構成する抵抗R2と第二カレントミラー回路7を構成する抵抗R4とを別々に構成していたが、この第2の実施例では抵抗R5として共通化している。抵抗R5の値を図1におけるR2の値または抵抗R4の値と同じにすれば、抵抗の数が減りチップ面積を小さくできるとともに、カレントミラー回路部での消費電流を低減することができる。

【0022】次に、本発明の第3の実施例について、説明する。図6は、本発明の第3の実施例のパワーオペアンプ回路の回路図である。この実施例では、第一カレントミラー回路6とプッシュプル出力段のpMOSトランジスタQP3との間にバッファ21を挿入し、第二カレントミラー回路7とプッシュプル出力段のnMOSトランジスタQN3との間にバッファ22を挿入している。バッファ21とバッファ22の回路図を図7(a), (b)に示す。バッファ21はpMOSトランジスタ構成のソースフォロワバッファであり、バッファ22はnMOSトランジスタ構成のソースフォロワバッファである。これらのバッファを挿入することにより、カレントミラー回路の駆動能力が小さくても大きな出力トランジスタを駆動することが可能となり、チップ面積を小さく抑えることができるとともに、カレントミラー回路での消費電流を小さく抑えることが可能となる。

【0023】

8

【発明の効果】以上説明したように、本発明による電力増幅用の演算増幅回路は、差動増幅器により構成される入力段と、pMOSトランジスタ及びnMOSトランジスタからなるプッシュプル構成の出力段とを含んで成る演算増幅回路に対して、差動増幅器の出力点からpMOSトランジスタに至る信号伝達経路中に、高位電源電位を基準とした差動増幅器の出力電圧をグランド電位を基準とする電圧に反転し、その反転後の信号でプッシュプル出力段のpMOSトランジスタを駆動する電圧反転手段と、差動増幅器の出力点からnMOSトランジスタに至る信号伝達経路中に、グランド電位を基準とした差動増幅器の出力電圧を高位電源電位を基準とする電圧に反転し、その反転後の信号でプッシュプル出力段のnMOSトランジスタを駆動する電圧反転手段とを設けて、プッシュプル出力段のトランジスタが両方ともオンし始めの状態を作り出している。

【0024】これにより本発明によれば、両方のトランジスタが同時にオフ状態にある期間を無くし、クロスオーバー歪みを低減できる。又、入力電圧を急激に切り換えたときの貫通電流発生を防止できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の回路図である。

【図2】図1に示す回路図中の、オペアンプ10の一例の回路図である。

【図3】図1に示す回路において2つの入力端子3, 4の電圧が等しいときの、回路の電圧分布の状態を示す図である。

【図4】図1に示す回路において入力電圧を急激に切り換えたときの動作を説明するための、タイミングチャート図である。

【図5】本発明の第2の実施例の回路図である。

【図6】本発明の第3の実施例の回路図である。

【図7】図6に示す回路図中の、バッファ21及びバッファ22それぞれの一例の回路図である。

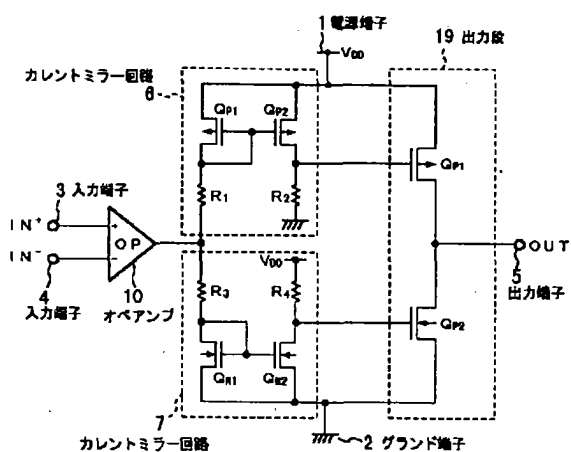
【図8】従来のパワーオペアンプ回路の一例の回路図である。

【図9】図8に示す回路の動作タイミングチャート図である。

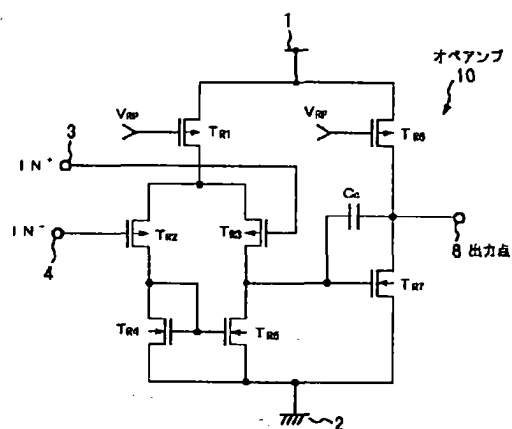
【符号の説明】

- 1 電源端子
- 2 グランド端子
- 3, 4 入力端子
- 5 出力端子
- 6, 7 カレントミラー回路
- 10 オペアンプ
- 19 出力段

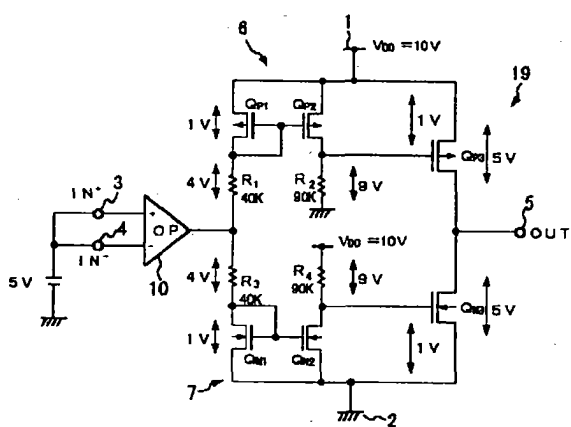
【图 1】



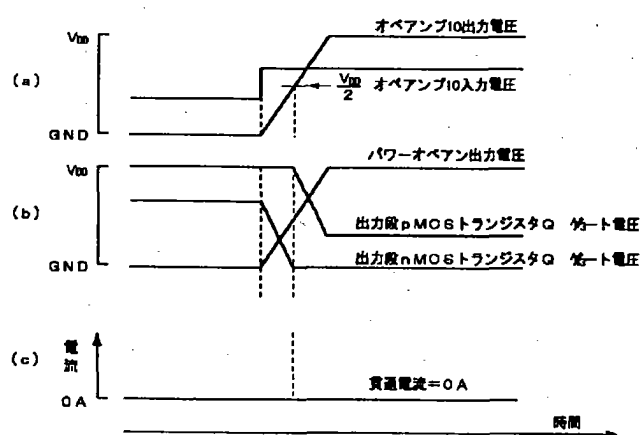
【图2】



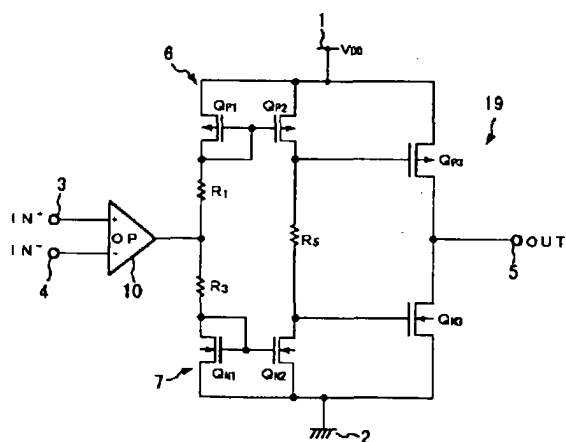
【図 3】



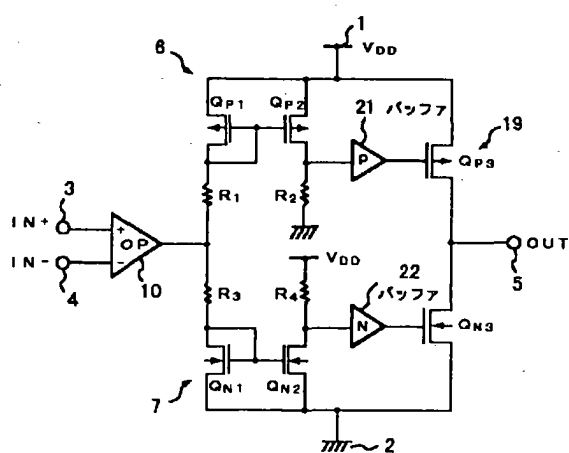
【図 4】



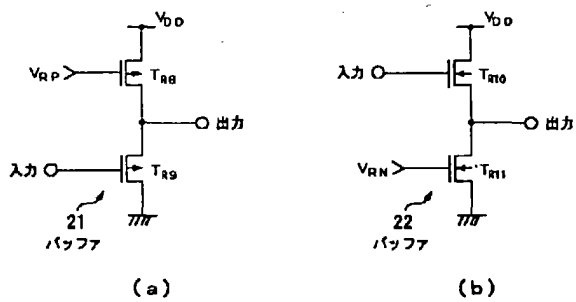
【図5】



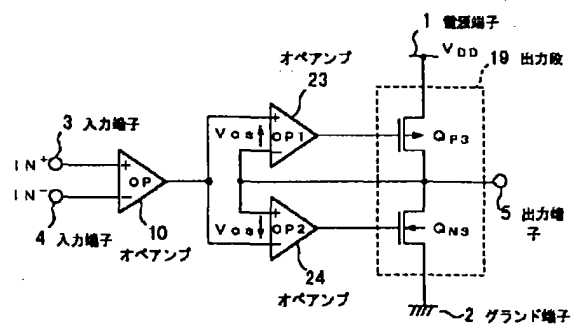
【图 6】



【図7】



【図8】



【図9】

